

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-193941

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 10-370029

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.12.1998

(72)Inventor : FUJIWARA HISAO

YAMAGUCHI TAKASHI

OSADA HIROYUKI

IIDA RIEKO

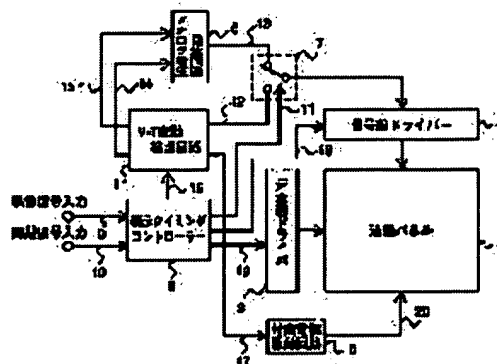
ITO TAKESHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the contrast of a display device and to prevent the luminance difference from being disturbed by varying dynamic ranges and offset values of display signal voltages with respect to the characteristic fluctuation generated in a characteristic of applied voltage versus transmissivity(V-T).

SOLUTION: A V-T fluctuation detecting circuit 1 operates in one vertical blanking period by a timing signal for detecting V-T fluctuation 16 from a display timing controller 8 and the results are reflected in an analog voltage generating circuit 6 and a video signal 9 and a synchronizing signal 10 are inputted to the display timing controller 8. New display signal voltages in which correction values produced by the analog voltage generating circuit 6 are added to display signal voltages produced by a signal line driver 4 are applied on pixel electrodes in a liquid crystal panel 2. Thus, amplitudes and the symmetry of voltages driving the liquid crystal panel 2 can be varied by varying a low voltage-side reference signal 14 and a high voltage-side reference signal 15 which are to be supplied to



the circuit 6.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-193941

(P 2000-193941 A)

(43) 公開日 平成12年7月14日 (2000. 7. 14)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 2 F 1/133	5 6 0	G 0 2 F 1/133 5 6 0	2H093
G 0 9 G 3/20	6 7 0	G 0 9 G 3/20 6 7 0 L	5C006
3/36		3/36	5C080

審査請求 未請求 請求項の数 8

O L

(全 20 頁)

(21) 出願番号 特願平10-370029

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 藤原 久男

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(72) 発明者 山口 剛史

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(74) 代理人 100083161

弁理士 外川 英明

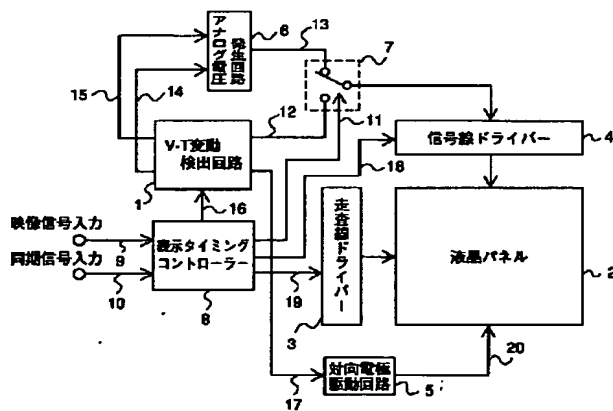
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶パネルのV-T特性のシフトや、温度変化などに起因するV-T特性のダイナミックレンジ変動による表示特性の劣化を防止する。

【解決手段】 マトリックス状に配置されたアクティブ素子を有し、自発分極性の液晶材料を使用した液晶表示装置において、V-T特性に生じた特性変動に対して表示信号電圧のダイナミックレンジやオフセット値を可変とすることにより画質劣化を低減する手段を有する。



【特許請求の範囲】

【請求項 1】 自発分極を有するスメクチック系液晶材料からなる液晶層と、この液晶層を挟む第 1 の電極及び第 2 の電極と、前記第 1 の電極に表示信号電圧を供給する第 1 の駆動回路と、前記第 2 の電極に対向電圧を供給する第 2 の駆動回路とを具備する液晶表示装置において、前記液晶層の分極反転電流から $V-T$ 特性のオフセット電圧及び非飽和領域を検出する検出手段と、前記オフセット電圧及び非飽和領域のフィールド間における変動量が小さくなる様に前記表示信号電圧或いは前記対向電圧に補正値を加える補正手段とを具備する事の特徴とする液晶表示装置。

【請求項 2】 前記検出手段は、前記液晶表示装置へ入力される映像信号の垂直ブランキング期間に所定の検出信号を前記液晶層に印加して得られる前記液晶層の分極反転電流から前記オフセット電圧及び非飽和領域のフィールド間における変動量を検出することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記オフセット電圧は前記分極反転電流の尖頭値から検出し、また前記非飽和領域は前記分極反転電流変化の絶対値が零に漸近する点を検出することにより行うことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 液晶材料の分極反転電流により検出された液晶材料の特性変化検出結果に基づき、液晶に印加される画像表示信号電圧のダイナミックレンジ、または、表示信号電圧のオフセット電圧値、または、前記表示信号電圧のダイナミックレンジおよび前記表示信号電圧のオフセット値の双方を可変とする事の特徴とする請求項 2 記載の液晶表示装置。

【請求項 5】 前記変化量が所定の値を超えた場合には、前記表示信号へ補正値の印加は行わず、前記液晶層の配向処理信号を印加または前記液晶層への印加電圧を零にする事の特徴とする請求項 2 記載の液晶表示装置。

【請求項 6】 前記変化量が所定の値を超えた場合には、前記液晶表示装置に装備されているバックライトに供給する電力を可変とする事の特徴とする請求項 2 記載の液晶表示装置。

【請求項 7】 前記第 1 の駆動回路は信号線ドライバであり、前記補正手段は表示信号電圧に加える補正値を形成するアナログ電圧発生回路であることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 8】 前記第 2 の駆動回路は対向電極駆動回路であり、前記補正手段は電流変動検出回路である事の特徴とする請求項 2 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶材料として強誘電液晶または反強誘電液晶等の自発分極を有するスメクチック系液晶材料を用いた液晶表示装置に関する。

【0002】

【従来の技術】 強誘電性液晶 FLC (Ferroelectric Liquid Crystal) や、反強誘電液晶 AFLC (Anti Ferroelectric Liquid Crystal) といった自発分極を有するスメクチック系液晶材料を用いた液晶表示装置では、通常の TN 液晶 (Twisted Nematic Liquid Crystal) 液晶に比べて応答速度が 2~3 桁ほど高速であり、また広視野角を有するため、次世代の液晶表示素子の材料として期待されている。

【0003】 その様な優れた特徴の一方で、AFLC 材料は温度変化に対する透過率の変化が敏感であるという問題がある。 図 23 に温度変化に対する印加電圧対透過率特性 ($V-T$: Voltage - Transmittance) 特性の変化を示す。温度 T_2 の印加電圧と透過率の特性で映像表示特性を設定しても、液晶材料の温度が T_3 に上昇した場合には、 T_2 の場合よりも低い印加電圧で表示特性が飽和してしまうために、いわゆる「白ツブレ」現象の画質劣化を生じてしまう。また、「白ツブレ」現象を回避するため T_3 において映像表示特性を設定した場合には、 T_2 、 T_1 等の低い温度 ($T_3 > T_2 > T_1$) の場合にはより高い十分な透過率が得られないため、コントラストが低く十分な画質を得ることができないという問題がある。

【0004】 また、固有または電場を印加することにより誘起される自発分極を有する液晶材料においても通常の TN 液晶の場合と同様に、正極性と負極性の対称駆動条件が変動した場合には液晶セルの印加電圧対透過率特性 ($V-T$) に変動が生じ、その変動、つまり $V-T$ 特性に正極性または負極性のオフセット電圧が加わった場合と同様な変動が生じるため、その $V-T$ 変動によって表示特性の変化が生じ、それが画質劣化となる問題がある。図 24 に AFLC 液晶セルに印加する表示信号電圧にオフセット電圧が加わった場合の $V-T$ 特性を示す。同図において、 T_4 は初期状態でありオフセット電圧は零の場合であるが、 T_6 は正極性側 (プラス側) のオフセット電圧が加わった場合であり、 T_5 は負極性側 (マイナス側) にオフセット電圧が加わった場合である。同図に示すように、液晶セルに印加する表示信号電圧にオフセットが加わった場合には $V-T$ 特性のシフトが生じ、そのシフト後の $V-T$ 特性で映像信号の表示を行った場合には、正極性と負極性とで表示特性に非対称性が生じるため、液晶パネルの駆動方法によっては、フリッカー妨害、走査線方向の輝度差妨害 (ライン妨害)、信号線方向の輝度差妨害 (縦ライン妨害) や画素毎の輝度差妨害 (ドット妨害) などの画質劣化を生じてしまうという問題がある。また、表示信号電圧にオフセット電圧が加わるような駆動状態は、通常の動画像表示、つまり毎フレーム毎の表示信号電圧に変化が生じている映像信号のために正極性と負極性で対称な駆動とならない場合に起こり易い。つまり通常の動画像を表示していても輝度差妨害などの表示劣化は生じてしまうという問題があ

る。

【0005】

【発明が解決しようとする課題】従来の反強誘電性液晶材料を使用した液晶表示装置は、温度変化或いは正極性・負極性間でのオフセット電圧の変動に応じて表示信号電圧が変化し、コントラストの低下、ライン妨害・ドット妨害等の輝度差妨害が生じるという問題があった。本発明は上記問題点を鑑みたもので、その課題とするところは、コントラストの向上と輝度差妨害の防止を共に解決した液晶表示装置の提供とする。

【0006】

【課題を解決するための手段】上記目的を達成するために請求項1の液晶表示装置は、自発分極を有するスメクチック系液晶材料からなる液晶層と、この液晶層を挟む第1の電極及び第2の電極と、前記第1の電極に表示信号電圧を供給する第1の駆動回路と、前記第2の電極に対向電圧を供給する第2の駆動回路とを具備する液晶表示装置において、前記液晶層の分極反転電流からV-T特性のオフセット電圧及び非飽和領域を検出する検出手段と、前記オフセット電圧及び非飽和領域のフィールド間における変動量が小さくなる様に前記表示信号電圧或いは前記対向電圧に補正値を加える補正手段とを具備する事を特徴とする。

【0007】請求項2の液晶表示装置は、請求項1において、前記検出手段が、前記液晶表示装置へ入力される映像信号の垂直ブランキング期間に所定の検出信号を前記液晶層に印加して得られる前記液晶層の分極反転電流から前記オフセット電圧及び非飽和領域のフィールド間における変動量を検出することを特徴とする。

【0008】請求項3の液晶表示装置は、請求項2において、前記オフセット電圧は前記分極反転電流の尖頭値から検出し、また前記非飽和領域は前記分極反転電流変化の絶対値が零に漸近する点を検出することにより行うことを特徴とする。

【0009】請求項4の液晶表示装置は、請求項2において、液晶材料の分極反転電流により検出された液晶材料の特性変化検出結果に基づき、液晶に印加される画像表示信号電圧のダイナミックレンジ、または、表示信号電圧のオフセット電圧値、または、前記表示信号電圧のダイナミックレンジおよび前記表示信号電圧のオフセット値の双方を可変とする事を特徴とする。

【0010】請求項5の液晶表示装置は、請求項2において、前記変化量が所定の値を超えた場合には、前記表示信号へ補正値の印加は行わず、前記液晶層の配向処理信号を印加または前記液晶層への印加電圧を零にする事を特徴とする。

【0011】請求項6の液晶表示装置は、請求項2において、前記変化量が所定の値を超えた場合には、前記液晶表示装置に装備されているバックライトに供給する電力を可変とするを特徴とする。

【0012】請求項7の液晶表示装置は、請求項2において、前記第1の駆動回路は信号線ドライバであり、前記補正手段は表示信号電圧に加える補正値を形成するアナログ電圧発生回路であることを特徴とする。

【0013】請求項8の液晶表示装置は、請求項2において、前記第2の駆動回路は対向電極駆動回路であり、前記補正手段は電流変動検出回路である事を特徴とする。ここでは、液晶層を挟む一対の電極は例えばガラス基板上にマトリクス配置された画素電極と、この画素電極に対向配置する対向電極である。これらの電極に印加する電圧は表示信号電圧であるが、この表示信号電圧は画素電極だけに印加するものではなく、2つの電極間で電界を形成できれば対向電極に印可しても良い。

【0014】

【発明の実施の形態】本発明では、液晶層の分極反転電流を検出することにより液晶層のV-T特性のオフセット電圧及び非飽和領域を検出することができる。その後、フィールド間でのオフセット電圧及び非飽和領域の変動量が小さくなるように補正値を算出し、この補正値を加えた表示信号電圧を液晶層を挟んだ電極に印加する。

【0015】検出手段は、特に液晶表示装置へ入力される映像信号の垂直ブランキング期間に所定の検出信号例えば三角波等を液晶に印加すること、或いは映像信号中の特定信号により、その液晶材料の分極反転電流の変化量を検出することにより行う。AFLCに三角波を印加した場合、印加電圧が0[V]付近ではAFLCに流入または流出する電流は尖頭（ピーク）値を示し、またV-T特性が飽和、すなわち最高透過率に達する電圧（Vsat）付近ではAFLCに流入または流出する電流はほぼ零になる。従って、このI-V特性のピーク値のずれ、つまり印加電圧0[V]以外で生じるI-V特性のピーク点（電圧）を測定することにより、V-T特性のオフセット電圧が検出でき、またI-V特性の零への漸近点を測定することによりV-T特性の非飽和領域が検出できる。これらの変化量は連続するフィールド間での差を測定する事により得られる。

【0016】

【実施例】（実施例1）図1に本発明の実施例1に係る液晶表示装置のブロック図を示す。同図に示すブロック図では、通常の液晶表示装置に比べて液晶層のV-T変動検出回路を有していることが特徴である。図2にV-T変動検出回路1の構成例を示すブロック図を示す。

【0017】以下、図1及び図2に沿って説明する。このV-T変動検出回路1は表示タイミングコントローラ8からのV-T変動検出用タイミング信号16により動作を開始する。動作は入力映像信号中で映像信号が無い時間、つまり有効走査時間以外の垂直ブランキング期間に行われる。動作は、1垂直ブランキング時間内に完了し、その結果が補正手段であるアナログ信号発生回路

6に反映される。ここで、9は映像信号、10は同期信号であり、共に表示タイミングコントローラ8に入力される。アナログ電圧発生回路6は信号線ドライバ4へ供給しているアナログ信号、つまり補正值を作成する回路である。信号線ドライバ4が作成する表示信号電圧にこの補正值が加算された新しい表示信号電圧が液晶パネル2内の画素電極に印加される。従って、アナログ信号発生回路6に供給する低電圧側基準信号14および高電圧側基準信号15を可変とすることにより、液晶パネル2を駆動する電圧の振幅(ダイナミックレンジ)や対称性(オフセット)を可変する事が出来る。ここで、液晶パネルは、図示していないが、ガラス基板の表面に2次元状でマトリクス状に画素電極(第1の電極)が形成されている。この画素電極と対向する位置に対向電極(第2の電極)が形成されており、これら一対の画素電極と対向電極間に液晶層を挟むことによって液晶パネルは構成されている。場合によっては、対向電極は別のガラス基板に形成しておき、2つのガラス基板で液晶層を挟むようにしても良い。

【0018】なお、このV-T変動検出回路1がV-T変動を検出する場合には電流検出回路105から信号線ドライバ4へV-T検出用アナログ信号12が供給される。従って垂直ブランキング期間の切り換え回路7の動作は、アナログ信号切り換え信号11により通常のアナログ信号発生回路6の出力ではなく、V-T変動検出回路1の出力を選択して信号線ドライバ4へアナログ信号を供給する。ここで、18は表示信号電圧データであり、19は走査信号データである。また、V-T変動検出回路1からの出力である対向電極駆動基準電圧17は対向電極駆動回路5に供給される。対向電極駆動回路5は適切なタイミングで対向電極印加電圧20を液晶パネル中の対向電極に供給する。

【0019】また、垂直ブランキング期間内に検出動作を完了する事により、液晶パネル2に表示されている画像には影響を与えずにV-T変動を検出することが可能になる。なお、走査線ドライバ3は通常の垂直期間時の動作のようにV-T変動検出回路1が動作中の場合には液晶パネル2内のTFTへ表示信号電圧保持電圧を出力し、信号線ドライバ4はV-T変動検出回路1が動作中の場合に信号出力が可能な状態にしておく必要がある。信号線ドライバ4を通じて液晶パネル2の信号線を駆動、つまりパネル内部の信号線と対向電極間に挟まれた全液晶を駆動することにより、大面積の液晶パネルを駆動できるため、流れる電流も多くなりノイズの影響を軽減できるため精度良く検出できる。図2中で、100は遅延回路、101はカウンタ、102はROM、103はD/A変換回路、104はオペアンプ、110は電流変動検出回路である。ROM102からの出力である検出開始信号108、デジタル検出信号107、ラッチパルスゲート信号160は電流変動検出回路110に

供給される。109は電流検出結果である。

【0020】図3に液晶パネル2に使用されるAFLCのV-T特性の一例を示す。図4はAFLCに三角波を印加した場合の電流対印加電圧(I-V)特性の一例を示す。図3と図4は同じ条件で、V-T、I-V特性を測定し、かつ横軸(表示信号電圧の軸)を揃えて表示してある。したがって、図3および図4から、AFLCに三角波を印加した場合、印加電圧が0[V]付近ではAFLCに流入または流出する電流は尖頭(ピーク)値を示し、またV-T特性が飽和、すなわち最高透過率に達する電圧(Vsat)付近ではAFLCに流入または流出する電流はほぼ零になることが分かる。従って、このI-V特性のピーク値のずれ、つまり印加電圧0[V]以外で生じるI-V特性のピーク点(V-T特性のオフセット電圧)を測定することにより、V-T特性の非対称性(オフセット)が検出でき、I-V特性の零への漸近点を測定することにより、V-T特性の飽和電圧(Vsat)の変化が検出できることがわかる。

【0021】図5に電流検出回路105の構成例のブロック図を示す。同図に示す電流検出回路105は電流検出用抵抗111の両端の電位を比較し、その電位差により流れる電流値を検出する回路である。図5の例では、通常の表示信号電圧が液晶パネル2へ表示されている状態、つまりV-T検出用アナログ信号12が信号線ドライバ4に接続されていない状態、すなわち電流検出用抵抗111の両端に電位差が乗じない状態を基準とし回路調整がなされている。動作点設定用ボリューム116で電流検出用抵抗111の両端に接続されたオペアンプ113、115の動作点が設定され、そのオペアンプ113、115の差分、つまり電位差検出がオペアンプ114で行われる。オペアンプ114は、ゼロ調整用ボリューム117を調整してV-T検出用アナログ信号12が信号線ドライバ4に接続されていない場合にオペアンプ114の出力が0[V]となるように調整されており、アナログ信号12が信号線ドライバ4に接続され電流検出用抵抗111に電流が流れて電位差が生じる事により、電流が流入する場合には「+」側へ、電流が流出する場合には「-」側へ、電流量に応じてオペアンプ114の出力が変化する。ここで、112はオペアンプ113、115の動作点設定用オペアンプである。

【0022】図6に電流変動検出回路110のブロック図、図7に第1の変動電流検出例を示すタイミングチャートを示す。図1～図7を用いて、I-V特性の電流ピーク値を検出する場合の例を以下に説明する。

【0023】まず、表示タイミングコントローラ8からのV-T変動検出用タイミング信号16の垂直同期信号(VD)を遅延回路100により所定の時間だけ遅延させて、有効表示信号電圧の表示が終了十分な時間が経過してから動作を開始する。検出信号は、遅延されたVD信号によりカウンタ101が動作を開始し、そのカ

ウンター101出力がROM (Read Only Memory) 102に入力されROM102から検出用デジタル信号107が出力される。検出用デジタル信号107はD/Aコンバーター103でアナログ信号に変換され、所定のゲインでオペアンプ104にて増幅されたアナログ検出信号106が電流検出回路105を通して切り換え回路7から信号線ドライバー4へ供給される。

【0024】三角波の検出用信号を印加した場合、電流検出回路105で検出される電流検出結果109は図7に示すような波形となる。その電流検出結果109は電流変動検出回路110に入力される。電流変動検出回路110において、電流検出結果109はオペアンプ120、121で絶対値化（全て「+」側の信号に）された絶対値信号123にされる。この絶対値信号123はコンパレータ125で、ある所定の電位と比較され、I-V特性のピーク領域を検出するための検出時間枠126を作成する。電流変動検出回路110に入力された電流検出結果109は、絶対値化されるとともに、オペアンプ122で微分される。その微分出力124はコンパレータ127で零との大小比較をされ、「+」側部分を正論理パルスで、I-V特性のピーク相当をパルスの立ち下がりとしてゼロクロス点出力128を出力する。そのゼロクロス点出力128と1クロック遅らせた遅延ゼロクロス点出力128とで排他的論理和回路129において排他的論理和をとることによりゼロクロス点のみを1クロック幅のパルスとしてゼロクロス点出力130を得る。そのゼロクロス点出力130は論理積ゲート131で検出時間枠信号126と論理積をとられて、I-V特性のピーク点のみの時刻信号が得られる。そのピーク点時刻信号は検出開始信号108でリセットされたフリップフロップ回路133および遅延素子132を通して論理積回路136、137に入力される。リセットされたフリップフロップ回路133はピーク点時刻信号によりその出力信号134、135をピーク点時刻信号毎に反転させる。その反転されたフリップフロップ出力信号134、135とラッチパルスゲート信号160およびピーク点時刻信号の論理積をとることにより、論理積回路136からは三角波の上昇電圧印加時のI-V特性ピーク時刻が、論理積回路137からは三角波の下降電圧印加時のI-V特性ピーク時刻に対応したパルス（ピーク時刻信号）が出力される。なお、検出開始信号108およびラッチパルスゲート信号160は検出用デジタル信号107を格納してあるROM102で一括して作成される。たとえば、ROM102が8bit/word構成の場合、下位6ビットで検出用デジタル信号を作成し、上位2ビットで検出開始信号およびラッチパルスゲート信号を作成することより効率良くROMを使用して各信号を作成することが可能となる。

【0025】得られた論理積回路136からの三角波の上昇電圧印加時のI-V特性ピーク時刻信号と、論理積

回路137からの三角波の下降電圧印加時のI-V特性ピーク時刻信号とで、ROM102からのデジタル信号107が、ラッチ回路138、139にラッチされる。つまりラッチ回路138には三角波の上昇電圧印加時のI-V特性ピーク時のデジタル信号が、ラッチ回路139には三角波の下降電圧印加時のI-V特性ピーク時のデジタル信号がラッチされる。また、それ以前、つまり前回のV-T変動検出動作時にラッチされていた三角波の上昇電圧印加時および下降電圧印加時のデジタル信号は、VD信号により、このV-T変動検出回路1の動作開始時に、ラッチ回路140、141にラッチされる。ラッチ回路138、139およびラッチ回路140、141にラッチされている新旧の三角波の上昇・下降電圧印加時のデジタル信号は減算機142で各々減算され、前回のV-T変動検出動作からの変動が検出される。また、その変動量、すなわち減算結果は加算器143で加算され、変動が同一方向の場合は強調するように、反動がばらついた場合にはその誤差が少なくなるようにされて、変動量がラッチ回路145にラッチされる。通常I-V特性が変動しない場合やピーク値の変動が不揃いの場合はラッチ回路145の出力も小さいが、V-T特性が同一方向に同時にシフト、つまりV-T特性のオフセット電圧200等の影響などでピーク値が同一方向にシフトした場合にはラッチ回路145の出力も強調された出力となるため、より正確な出力が得られる。144はクロック信号で論理積回路137からの出力パルスを1クロック時間遅延させるためのラッチ回路である。ラッチ回路145は係数ROM146で反転やノイズ分の低減や所望のゲインが与えられて、D/Aコンバーター147に出力される。D/Aコンバーター147出力は、反転電位調整用ボリューム153で電位調整をされながら、オペアンプ148、149、150、151、152で演算されて表示用アナログ信号用低電圧側基準信号14、および高電圧側基準信号15が作成される。例えば、ラッチ回路145が「+」で係数ROM146からの出力は反転された「-」信号だった場合には、D/A出力およびオペアンプ148出力も「-」信号となり、結局表示用アナログ信号用低電圧側基準信号14、および高電圧側基準信号15も所定電位より低下するため、駆動条件としては（対向電極電位を基準と考えた場合には）「-」オフセットを加える方向となり、「+」オフセットが発生する駆動条件を補正することが出来る。つまりラッチ回路145の出力が「+」の場合には「+」のオフセットを補正する駆動条件に、ラッチ回路145の出力が「-」の場合には「-」のオフセットを補正する駆動条件に適応的に補正することができる。

【0026】図8にV-T変動検出回路1でのV-T変動検出により、対向電極駆動電圧を可変とする場合の電流変動検出回路110の構成例を示す。基本的な構成や動作は図6に示した構成例と同じである。図8に示した

電流変動検出回路 110 から出力される対向電極駆動基準電圧 17 は、反転電位調整用ボリューム 153 で電位調整されている通常の対向電極駆動電圧を、V-T 変動検出結果に応じて加減を行う。また、図 8 に示した電流変動検出回路 110 では係数 ROM 146 では入力信号の極性に対して反転は行わない。例えば、ラッチ回路 145 が「+」で係数 ROM 146 からの出力も「+」信号だった場合には、D/A 出力およびオペアンプ 148 出力も「+」信号となり、対向電極駆動基準電圧 17 も所定電位より上昇するため、駆動条件としては（対向電極電位を基準と考えた場合には）表示信号電圧電圧に

「-」オフセットを加える方向となり、「+」オフセットが発生する駆動条件を補正することが出来る。つまりラッチ回路 145 の出力が「+」の場合には「+」のオフセットを補正する駆動条件に、ラッチ回路 145 の出力が「-」の場合には「-」のオフセットを補正する駆動条件に適応的に補正することができる。従って、このような補正を行うことにより、発生したオフセットに対して逆のオフセットを加えて、V-T 変動を起こしたオフセット電圧をキャンセルすることができるため、DC オフセット電圧による液晶表示装置の劣化を防止し、信頼性を向上出来る。

【0027】なお、図 6 および図 8 に示した電流変動検出回路 110 の動作の極性は係数 ROM 146 で行っているが、オペアンプ 148、150、151、152 で極性の調整を行っても良い。

【0028】図 9 は電流変動検出回路 110 の変形例を示すブロック図である。図 9 に示す電流変動検出回路 110 では V-T 特性の飽和、すなわち最高透過率に達する電圧 (V_{sat}) 付近を検出する場合の構成例を示している。この V_{sat} 検出では、I-V 特性のピーク検出の場合と同様に、AFLC に三角波を印加し、そのとき AFLC に流れる電流の変化量を検出することにより行う。また、流れる電流が零に漸近する点（電圧）を検出することにより、V-T 特性の V_{sat} を検出することができる。図 10 にこの変形例の電流変動検出回路での変動電流検出例を示すタイミングチャートを示す。図 9 と図 10 を用いて以下に V-T 特性の V_{sat} 点を検出する動作を説明する。

【0029】まず、 V_{sat} 検出の場合も I-V 特性のピーク検出の場合と同様に垂直ブランキング期間に三角波の検出用信号を印加し、そのときに信号線ドライバ 4 を通じて液晶パネル 2 へ流れる電流の絶対値 123 を求める。電流の絶対値 123 はコンパレータ 125 で零に近い値と比較され、比較レベルよりも絶対値が 123 が高い場合に正論理レベルの比較器出力 126 を出力する。この比較器出力 126 のパルスの立ち上がり、または立ち下がりが I-V 特性の零への漸近点、すなわち V-T 特性の V_{sat} 点に対応している。比較器出力 126 は遅延させた比較器出力 126 と排他的論理和回路 12

9 で、パルスの立ち上がりおよび立ち下がり点が 1 クロック幅の漸近点信号 130 として出力される。その漸近点信号 130 は検出開始信号 108 でリセットされたフリップフロップ回路 133 および遅延素子 132 を通って論理積回路 136、137 に入力される。リセットされたフリップフロップ回路 133 はピーク点時刻信号によりその出力信号 134、135 をピーク点時刻信号毎に反転させる。論理積回路 136、137 には、フリップフロップ回路 133 の出力信号 134、135、および漸近点信号 130、さらにラッチパルスゲート信号 160 が入力される。その結果、論理積回路 136 からは正極性の三角波印加時の V_{sat} 点が、論理積回路 137 からは負極性の三角波印加時の V_{sat} 点が出力される。それら論理積回路 136、137 出力である三角波印加時の V_{sat} 点の信号により ROM 102 からのデジタル信号 107 が、ラッチ回路 138、139 にラッチされる。ラッチ回路 138、139 にラッチされる。ラッチ回路 138、139 にラッチされたデジタル信号 107 は減算器 14 で減算、つまり正極性の V_{sat} 点から負極性の V_{sat} 点が減算され、その差が求められる。求められた差は印加電圧に対して透過率が変化する領域、つまり表示に使用可能な電圧範囲を表す値である。その使用可能な電圧範囲（ダイナミックレンジ=V-T 特性の非飽和領域）200 はラッチ回路 145 でラッチされ、係数 ROM 146 に入力される。ROM 146 では、ある所定の条件で測定された基準ダイナミックレンジと入力と ROM 146 に入力されたダイナミックレンジとを比較し、基準ダイナミックレンジより大きいダイナミックレンジが入力された場合には「-」の値を、基準ダイナミックレンジより小さいダイナミックレンジが入力された場合には「+」の値が出力される。ROM 146 から出力された値は、D/A コンバータ 147 でアナログ信号に変換され、オペアンプ 148 で適当なバイアスとゲインが与えられた後、後段のオペアンプにアナログ信号を供給する。オペアンプ 149 ではオペアンプ 148 の出力が「-」の場合には出力電圧を低下させ、オペアンプ 148 の出力が「+」の場合には出力電圧を上昇させる。また、オペアンプ 152 ではオペアンプ 148 の出力が「-」の場合には出力電圧を上昇させ、オペアンプ 148 の出力が「+」の場合には出力電圧を低下させる。従って、オペアンプ 148 の出力が「+」の場合にはオペアンプ 152、149 出力間の電圧差は広がり、つまり表示用アナログ信号用低電圧側基準信号 14 と高電圧側基準信号 15 の電圧間の差は広がり表示用アナログ電圧発生回路 6 のダイナミックレンジが拡大される。また、オペアンプ 148 の出力が「-」の場合にはオペアンプ 152、149 出力間の電圧差は狭まり、つまり表示用アナログ信号用低電圧側基準信号 14 と高電圧側基準信号 15 の電圧間の差は狭まり表示用アナログ電圧発生回路 6 のダイナミックレンジが縮小される。従っ

て、V-T特性の V_{sat} 点の変動に合わせて表示用アナログ信号のダイナミックレンジも拡大・縮小が出来る。例えば、図23に示すようにT3からT1に温度が変化してV-T特性が変動した場合には、 V_{sat} 点もT3よりT1が広がるため、表示用アナログ信号のダイナミックレンジも拡大されていく。従って、このような電流変動検出回路の構成をとることにより、温度変化によるV-T特性の変化が起こった場合にも適応的に表示信号電圧のダイナミックレンジを可変出来るため、V-T変動に起因する輝度低下や、「白ツブレ」などの画質劣化は生じない。

【0030】なお、ダイナミックレンジ可変を決定するROM146の出力を「+」または「-」としたが、ROM146の出力はオフセットが加わった値でも構わない。また、図11に示すように、I-V特性のピーク変動や、 V_{sat} 点の変動の検出には、デジタル検出信号107以外にカウンタ出力信号161を用いてもよい。

【0031】次に V_{sat} 点検出でV-T特性のシフトを検出するための電流変動検出回路110の構成例を図12に示す。図12に示す電流変動検出回路は図9の電流変動検出回路とほぼ同じであり、動作もほぼ同じである。図12に示す電流変動検出回路の場合には、ラッチ回路138、139にラッチされたデジタル信号107を減算器14で減算する際に、絶対値回路162で絶対値を求めてから、つまり正極性の V_{sat} 点と負極性の V_{sat} 点の印加電圧の絶対値を求めてから、減算器14で差が求められる。従って、減算器14で求められた差分値は、正極性の V_{sat} 点と負極性の V_{sat} 点の差であり、V-T特性のシフト量そのものの値である。その差分値は、I-V特性のピーク検出の場合と同様に、係数ROM146で適当な制御値に変換された後、D/Aコンバーター147でアナログ信号に変換され、表示用アナログ信号用低電圧側基準信号14、および高電圧側基準信号15が作成される。また図8に示すように、差分値からのアナログ値で対向電極駆動電圧を可変してもよい。その場合の電流変動検出回路110の構成例を図13に示す。

【0032】また前述の V_{sat} 点検出、つまり V_{sat} 点間の電圧差の検出とを組み合わせることにより、温度変化によるダイナミックレンジ変動およびDCオフセットによるV-T特性の変動の双方に適応的に対応することが出来る。

【0033】(実施例2) 図14に、本発明の実施例2に係る液晶表示装置のブロック図を示す。図14の例では、実施例1のような切り換え回路によるアナログ信号切り換えでのV-T変動検出信号の印加は行わず、信号線ドライバー4に供給するデジタル表示信号電圧18を所定の値とした場合に液晶パネル2に流れる電流を検出することによりV-T特性の変動を検出する。図15にV-T変動検出回路の構成例を示す。図15では、V-

T変動検出のためのパターン発生回路は無く、電流変動検出回路110のみで構成されている。図16に電流変動検出回路110の構成例を示す。図17に図16の電流変動検出回路動作のタイミングチャートを示す。図14、図16、図17を用いて以下に電流変動検出動作を説明する。

【0034】この実施例2においても、垂直ブランキング期間内に検出動作を行うことにより、液晶パネル2に表示されている画像には影響を与えずにV-T変動を検出することが可能になる。垂直ブランキング期間内で有効走査が完了して十分な時間が経過した後、表示タイミングコントローラ8からはV-T変動検出用のデジタル表示信号電圧18が信号線ドライバー4へ供給される。通常、V-T変動検出用のデジタル表示信号電圧18は飽和領域の透過率に対して透過率50[%]程度の透過率が得られる表示信号電圧レベルに設定する。また、表示タイミングコントローラ8からは、デジタル表示信号電圧18と共にタイミング信号16が電流変動検出回路110に供給される。信号線ドライバー4では、全信号線を駆動するためのV-T変動検出用のデジタル表示信号電圧18の受信が終了すると、そのデジタル表示信号電圧18に対応した表示信号電圧を液晶パネル2に供給する。電流変動検出回路110では表示タイミングコントローラ8からのタイミング信号16によりピークホールドコンデンサ167を0[V]にリセットする。その後、タイミング信号16を遅延回路100で遅延させた信号により、スイッチ回路165を閉じて電流検出105からの電流検出結果109の取り込みを開始する。その電流検出結果109はオペアンプ163で電流増幅されて、電流のスイッチ回路165が閉じられた後以降の電流のピーク値をピークホールドコンデンサ167に充電する。ピークホールドコンデンサ167の値は電界効果トランジスタ(FET)168に接続されており、FET168を通してピーク値の読み出しが行われる。また、高インピーダンスのFETでの読み出しのため、次にリセットされるまでピークホールドコンデンサ167の値は保持されている。FET168を通してピーク値の読み出しが行われたピーク値はオペアンプ164で所定ゲインで増幅されA/Dコンバーター169でデジタルデータに変換される。変換されたデジタルデータは1走査線時間遅延回路170で遅延されたタイミング信号により、ラッチ回路145にラッチされる。ラッチされたデジタルのピーク値は係数ROM146に入力される。係数ROM146では、入力されたデジタルピーク値とある基準値とを比較し、その差分値に所定の係数を掛けてノイズの除去および所定の制御特性になるような重み付けを行った検出結果信号をD/Aコンバーター147に出力する。

【0035】ここで、温度が変化した場合のV-Tの変動と、V-Tが変動した場合にAFLCに流れる電流の

変化の一例を図18に示す。図18に示すように、温度が変化しても書き込み開始直後（時刻 0）の突入電流は殆ど変化しないが、その後の流れる電流値の緩和の仕方が温度によって変化して行く事が分かる。従って、前述のようにタイミング信号16を遅延回路100で遅延させることにより、温度変化に依存しない突入電流部分を回避して、温度変化によって変化する緩和部分の電流値を検出することが出来る。通常、遅延回路100での遅延量は2～3[μ s]程度に設定しておく。

【0036】電流変動検出回路110の係数ROM146での基準値を図18に示すT2の場合の電流値に設定しておくことにより、ラッチ回路145から係数ROM146に入力されるデジタルの検出電流ピーク値が基準値よりも高くなった場合、つまりT1に変化した場合には係数ROM146から「-」の値が出力される。また、ラッチ回路145から係数ROM146に入力されるデジタルの検出電流ピーク値が基準値より低くなった場合、つまりT3に変化した場合には係数ROM146から「+」の値が出力される。係数ROM146から出力されたデジタル信号はD/Aコンバーター147でアナログ信号に変換され、オペアンプ148で所定の値に増幅される。オペアンプ149ではオペアンプ148の出力が「-」の場合には出力電圧を低下させ、オペアンプ148の出力が「+」の場合には出力電圧を上昇させる。また、オペアンプ152ではオペアンプ148の出力が「-」の場合には出力電圧を上昇させ、オペアンプ148の出力が「+」の場合には出力電圧を低下させる。従って、オペアンプ148の出力が「+」の場合にはオペアンプ152、149出力間の電圧差は広がり、つまり表示用アナログ信号用低電圧側基準信号14と高電圧側基準信号15の電圧間の差は広がり表示用アナログ電圧発生回路6のダイナミックレンジが拡大される。また、オペアンプ148の出力が「-」の場合にはオペアンプ152、149出力間の電圧差は狭まり、つまり表示用アナログ信号用低電圧側基準信号14と高電圧側基準信号15の電圧間の差は狭まり表示用アナログ電圧発生回路6のダイナミックレンジが縮小される。従って、液晶パネル2に流入する緩和電流の変化を検出して、すなわち温度変化などによるV-T特性の変動を検出して、表示用アナログ信号のダイナミックレンジも適応的に拡大・縮小が可能となる。

【0037】図19に電流変動検出回路110を全てアナログ素子で構成した場合のブロック図を示す。図19では、基準となる電流値を基準値設定用ボリューム171で設定する。また、基準値と検出した緩和電流のピーク値とはオペアンプ172で減算される。従って、オペアンプ172からは基準値との差が出力され、その差分値が、アナログスイッチ回路173、ホールドコンデンサ174、読み出し用FET175で構成されるサンプル・ホールド回路に保持される。サンプル・ホールド回

路に保持される電圧、すなわち基準値との差分値は、オペアンプ148で所定の値に増幅される。オペアンプ149ではオペアンプ148の出力が「-」の場合には出力電圧を低下させ、オペアンプ148の出力が「+」の場合には出力電圧を上昇させる。また、オペアンプ152ではオペアンプ148の出力が「-」の場合には出力電圧を上昇させ、オペアンプ148の出力が「+」の場合には出力電圧を低下させる。従って、オペアンプ148の出力が「+」の場合にはオペアンプ152、149出力間の電圧差は広がり、つまり表示用アナログ信号用低電圧側基準信号14と高電圧側基準信号15の電圧間の差は広がり表示用アナログ電圧発生回路6のダイナミックレンジが拡大される。また、オペアンプ148の出力が「-」の場合にはオペアンプ152、149出力間の電圧差は狭まり、つまり表示用アナログ信号用低電圧側基準信号14と高電圧側基準信号15の電圧間の差は狭まり表示用アナログ電圧発生回路6のダイナミックレンジが縮小される。従って、デジタル素子を用いず、つまり回路規模を大きくすることなく、全アナログ素子構成で液晶パネル2に流入する緩和電流の検出が可能であり、温度変化などによるV-T特性の変動に対して表示用アナログ信号のダイナミックレンジも適応的に拡大・縮小が可能となる。

【0038】さらに、通常は垂直ブランキング期間内でV-T特性変動検出を行うが、液晶表示装置に入力される映像信号中にV-T変動検出用のデジタル表示信号電圧が含まれている場合、もしくは一走査線の映像信号が同一の信号で合った場合にも、信号線ドライバー4に流れる電流を検出することにより、上記のようなV-T特性変動を検出することが出来る。

【0039】（実施例3）図20に、本発明の実施例3に係る液晶表示装置のブロック図を示す。図20に示す液晶表示装置では、V-T変動検出回路1での検出結果により、表示タイミングコントローラー8に表示ON/制御信号20を返す構成となっていることが特徴である。図21に表示ON/制御信号20を作成する場合の電流変動検出回路110構成例を示す。この例では、パネルに流れる電流値の検出値が基準値から大きく変化した場合に、ROMから表示ON/制御信号20を表示タイミングコントローラー8に出力する。表示信号電圧コントローラー8では、表示ON/制御信号20により、表示信号電圧の値を零、つまり対向電極との電位差が最小になる値としたり、逆に表示信号電圧の値を対向電極との電位差が最大となる値にししたりする。温度が大きく低下した場合には液晶の応答速度も低下し表示も難しくなって来るため、表示タイミングコントローラー8では信号線ドライバー4に供給するデジタルの表示信号電圧を零とする。また、反対に温度が大きく上昇した場合には液晶のスメクチック相が変化して表示が出来なくなってしまうため、表示タイミングコントローラー8では信号

線ドライバー 4 に供給するデジタルの表示信号電圧を対向電極との電位差が最大となる値にする。このように対向電極との電位差が最大となる値にして一定周期極性反転を行うこと、すなわち配向処理信号を印加することにより、温度が高温から徐々に低下していった場合には液晶の配向状態の改善を行うことが出来る。つまり、電圧を印加した状態での配向処理を行なうことができる。

【0040】なお、V-T特性変動からの温度変化の検出は実施例 2 までに述べて来た方法で行う。

(実施例 4) 図 22 に、本発明の実施例 4 に係る液晶表示装置のブロック図を示す。図 22 に示す液晶表示装置では、V-T 変動検出回路 1 での検出結果により、バックライト駆動回路を制御しバックライトの発光量を可変とする構成となっている。つまり、温度低下により V-T 特性が変動した場合には V-T 変動検出回路 1 により温度の低下程度が検出可能であるので、その検出結果に従ってバックライト 23 を駆動する駆動電流を増加させてバックライト 23 の発光量を増加させ、バックライト 23 の発熱により液晶表示装置の温度低下を緩和する。また、温度上昇により V-T 特性が変動した場合には V-T 変動検出回路 1 により温度の上昇程度が検出可能であるので、その検出結果に従ってバックライト 23 を駆動する駆動電流を低下させてバックライト 23 の発光量を低下させ、バックライトの発熱を抑えて、液晶表示装置の温度上昇を緩和する。

【0041】なお、V-T特性変動からの温度変化の検出は実施例 2 までに述べて来た方法で行う。また、実施例 3 で述べた表示信号を零とした場合や電圧を印加した状態での配向処理の場合にはバックライトを消灯しても良い。

【0042】また、これまでの実施例は、変動検出パターン発生用 ROM や演算回路および制御回路をマイクロプロセッサで行うことやビット精度の加減など、本発明の主旨を変えない範囲で種々変更しておこなう事が出来る。

【0043】

【発明の効果】以上説明したように、V-T特性に生じた特性変動に対して表示信号電圧のダイナミックレンジやオフセット値を可変することによって、コントラストの向上と輝度差妨害の防止を共に解決した液晶表示装置を得る。

【図面の簡単な説明】

【図 1】 本発明の実施例 1 に係る液晶表示装置のブロック図

【図 2】 本発明の実施例 1 に係る V-T 変動検出回路のブロック図。

【図 3】 本発明の実施例 1 に係る AFLC の V-T 特性図

【図 4】 本発明の実施例 1 に係る AFLC の I-V 特性図

【図 5】 本発明の実施例 1 に係る電流検出回路のブロック図

【図 6】 本発明の実施例 1 に係る電流変動検出回路のブロック図

【図 7】 本発明の実施例 1 に係るタイミングチャート

【図 8】 本発明の実施例 1 に係る変動検出回路の構成図

【図 9】 本発明の実施例 1 に係る電流変動検出回路のブロック図

10 【図 10】 本発明の実施例 1 に係るタイミングチャート

【図 11】 本発明の実施例 1 に係る V-T 変動検出回路のブロック図

【図 12】 本発明の実施例 1 に係る電流変動検出回路のブロック図

【図 13】 本発明の実施例 1 に係る電流変動検出回路のブロック図

【図 14】 本発明の実施例 2 に係る液晶表示装置のブロック図

20 【図 15】 本発明の実施例 2 に係る V-T 変動検出回路のブロック図

【図 16】 本発明の実施例 2 に係る電流変動検出回路のブロック図

【図 17】 本発明の実施例 2 に係るタイミングチャート

【図 18】 本発明の実施例 2 に係る V-T 特性変動と電流変化を示す図

【図 19】 本発明の実施例 2 に係る電流変動検出回路のブロック図

30 【図 20】 本発明の実施例 3 に係る液晶表示装置のブロック図

【図 21】 本発明の実施例 3 に係る電流変動検出回路のブロック図

【図 22】 本発明の実施例 4 に係る液晶表示装置のブロック図

【図 23】 従来の液晶表示装置に係る液晶材料の透過率特性を示す図

【図 24】 従来の液晶表示装置に係る V-T 特性を示す図

40 【符号の説明】

1…V-T 変動検出回路 2…液晶パネル 3…走査線ドライバー

4…信号線ドライバー 5…対向電極駆動回路 6…アナログ電圧発生回路

7…アナログ信号切り換え回路 8…表示タイミングコントローラー

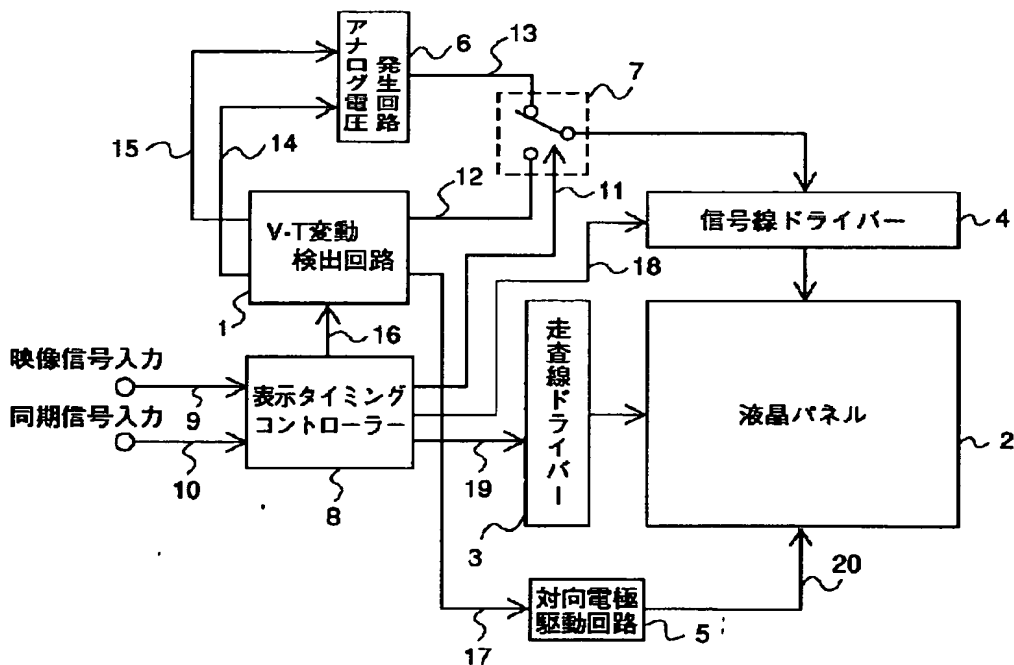
9…映像信号入力 10…同期信号入力 11…アナログ信号切り換え信号

12…V-T 検出用アナログ信号 13…表示用アナログ信号

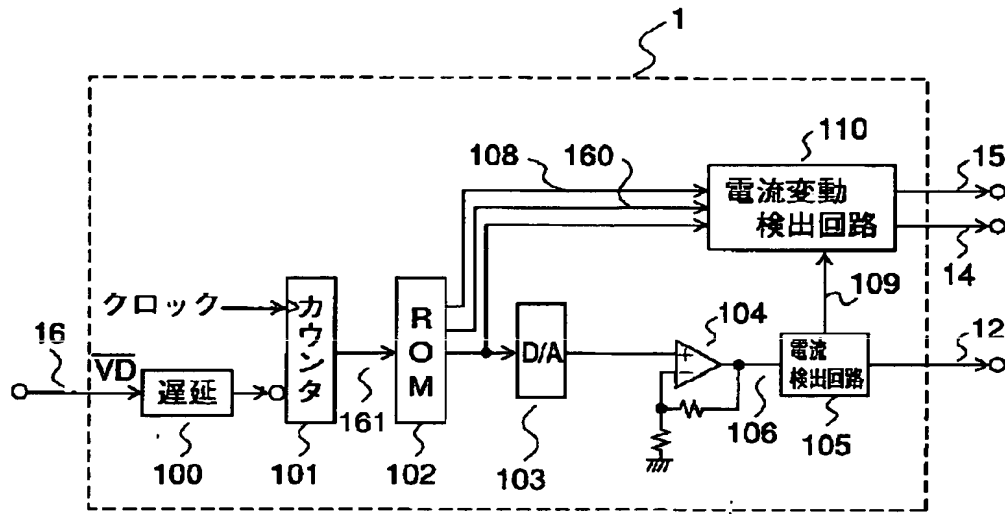
14…表示用アナログ信号用低電圧側基準信号
 15…表示用アナログ信号用高電圧側基準信号
 16…V-T変動検出用タイミング信号
 17…対向電極駆動基準電圧
 18…表示信号電圧データ 19…走査信号データ 20…表示ON/制御信号
 21…バックライト制御信号 22…バックライト駆動回路 23…バックライト
 100…遅延回路 101…カウンター 102…ROM
 103、147…D/Aコンバーター 104、112、113、114、115、120、121、122、148、149、150、151、152、163、164、172、173…オペアンプ
 105…電流検出回路
 106…アナログ検出信号 107…デジタル検出信号 108…検出開始信号
 109…電流検出結果 110…変動検出回路 111…電流検出用抵抗
 116…動作点設定用ボリューム 117…ゼロ調整用ボリューム
 123…絶対値出力 124…微分出力 125、127…コンパレータ

126…検出時間枠 128…ゼロクロス点出力 129…排他的論理和回路
 130…ゼロ点出力 131、136、137、…論理積回路
 132…遅延素子 133…フリップフロップ回路
 134…フリップフロップ回路出力 135フリップフロップ回路反転出力
 138、139、140、141、144、145…ラッチ回路 142…減算回路
 143…加算回路 146…係数ROM 153…反転電位調整用ボリューム
 160…ラッチパルスゲート信号 161…カウンター出力信号
 162…絶対値回路 165、166、173…スイッチ回路
 167…ピークホールドコンデンサ 168、175…FET
 169…A/Dコンバーター
 170…1走査線遅延回路 171…比較基準設定用ボリューム
 174…差分値ホールドコンデンサ
 200…V-T特性のオフセット電圧
 201…V-T特性の非飽和領域

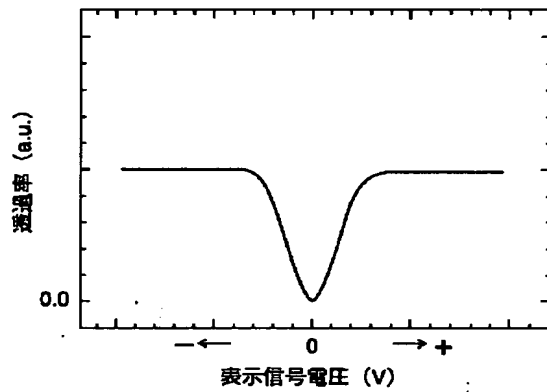
【図1】



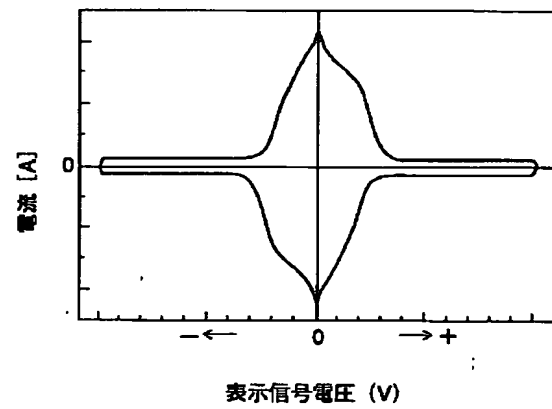
【図 2】



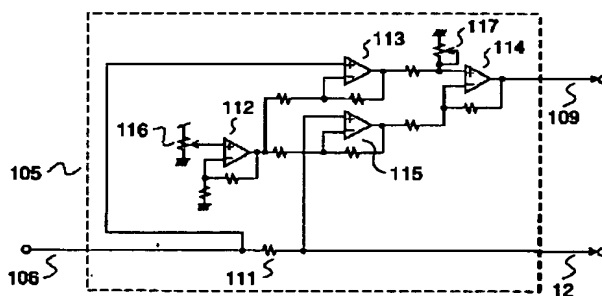
【図 3】



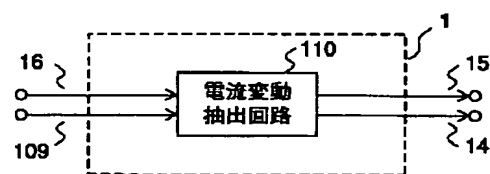
【図 4】



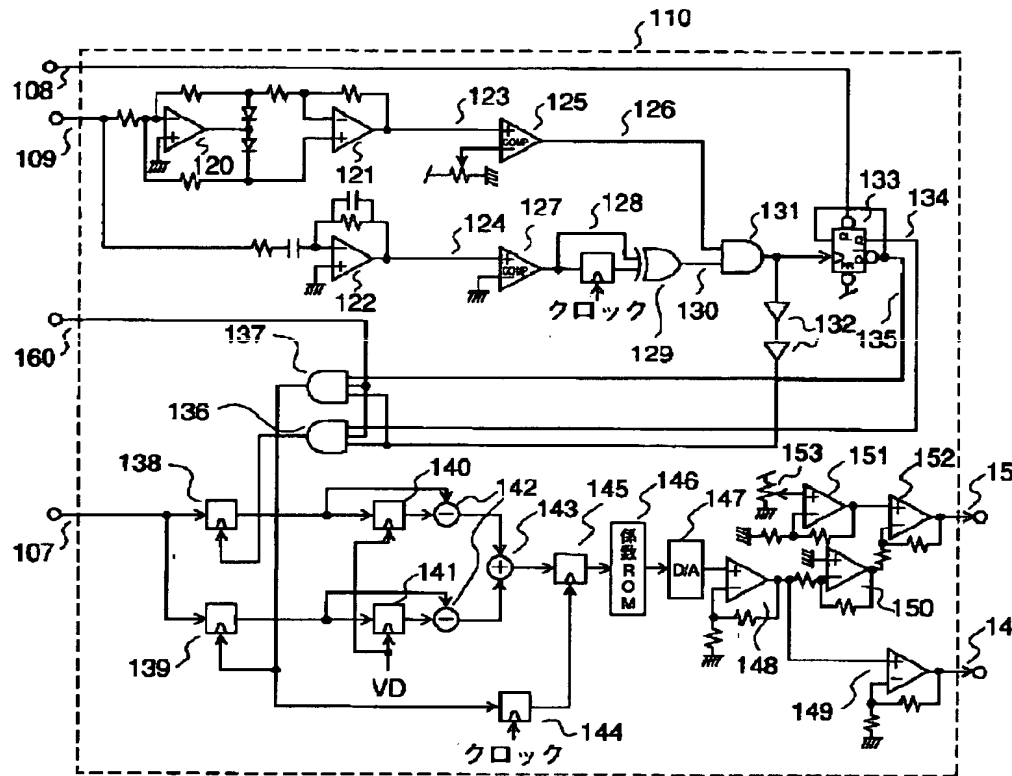
【図 5】



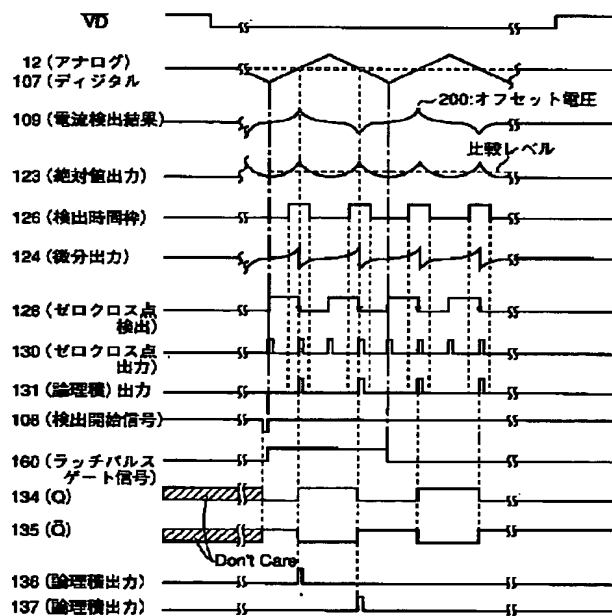
【図 15】



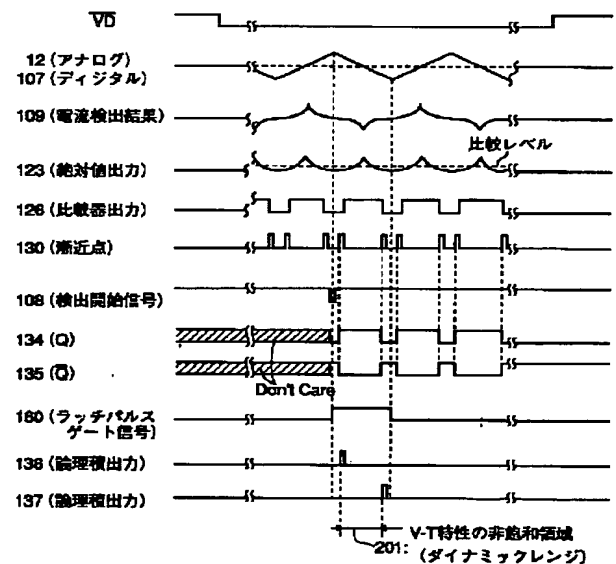
【図6】



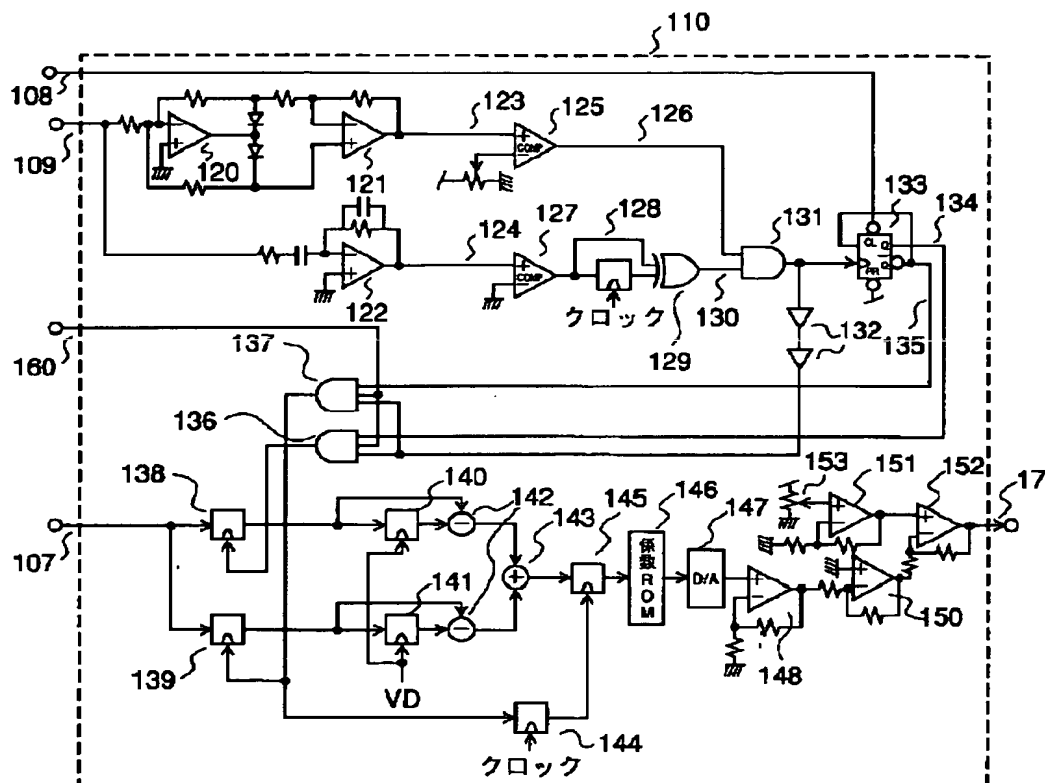
【図7】



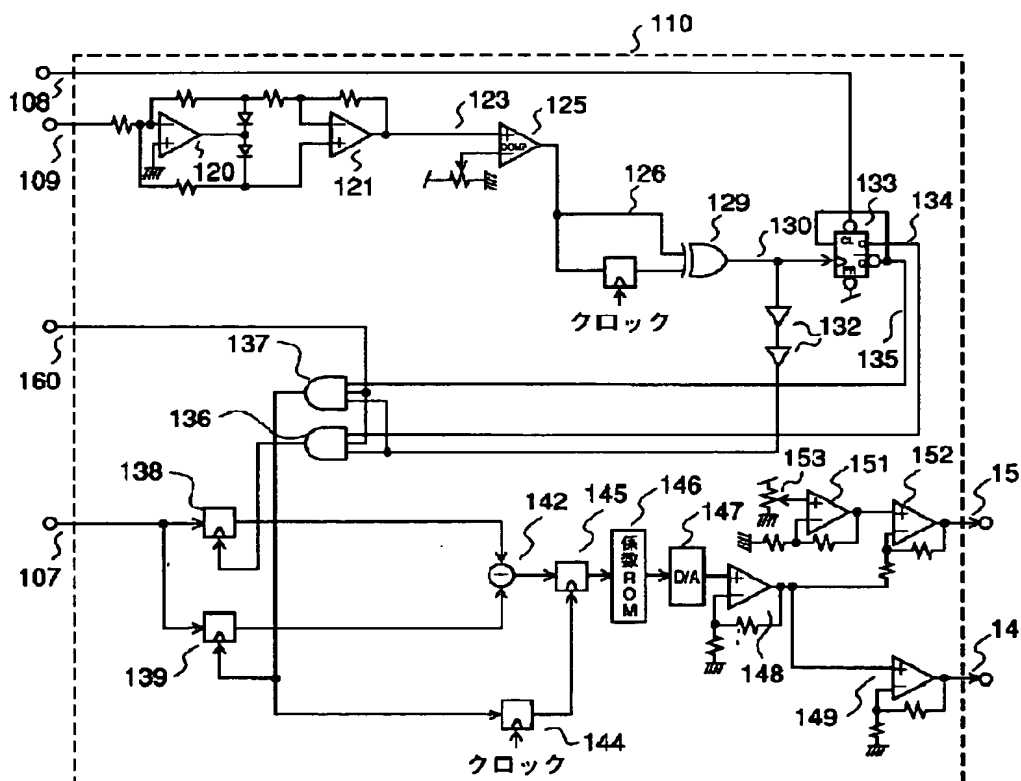
【図10】



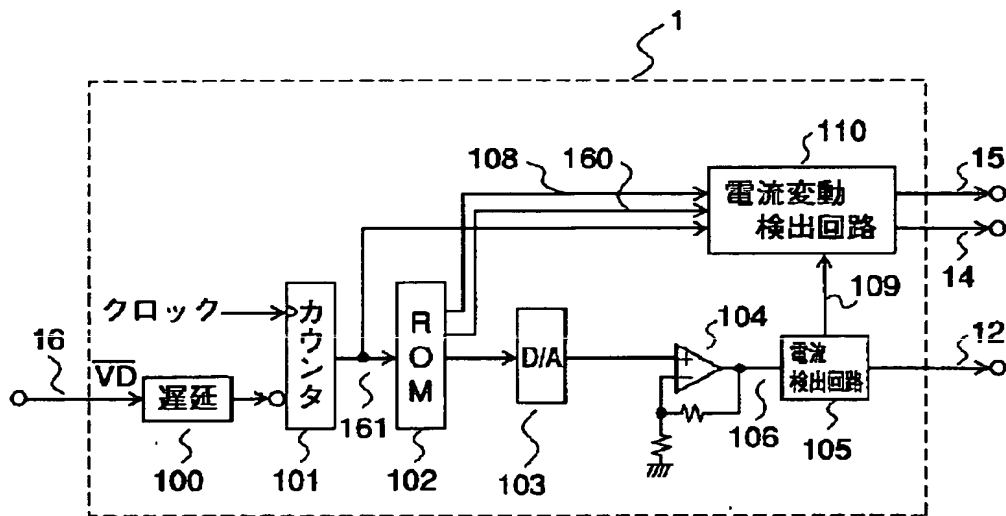
【図 8】



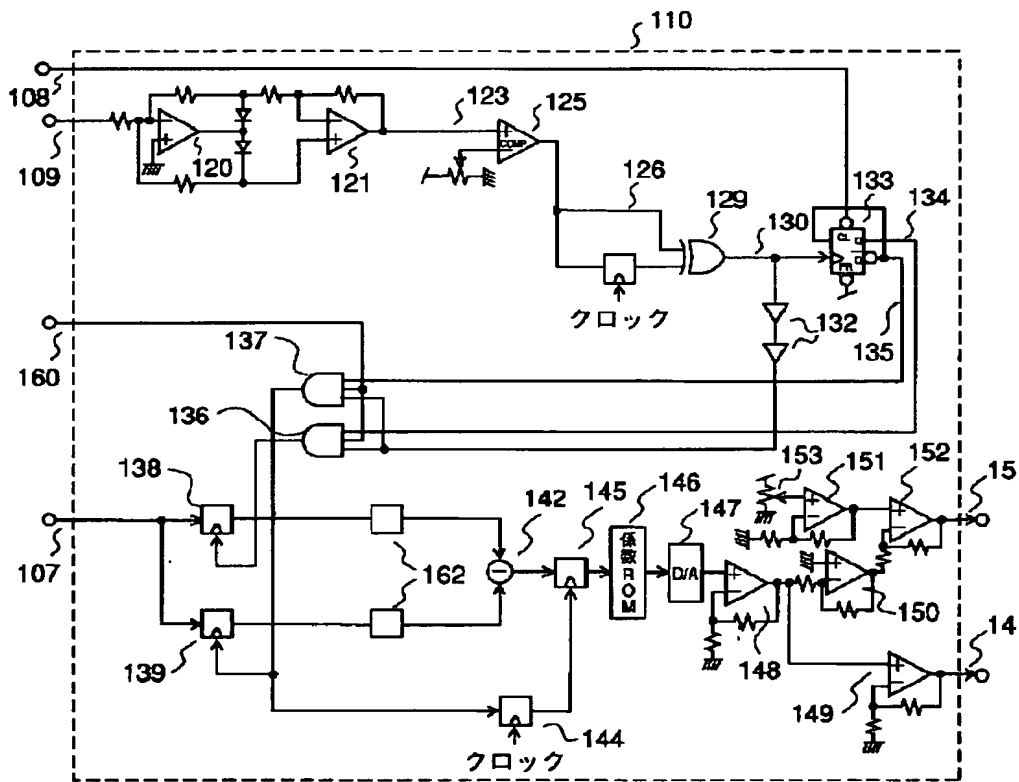
【図 9】



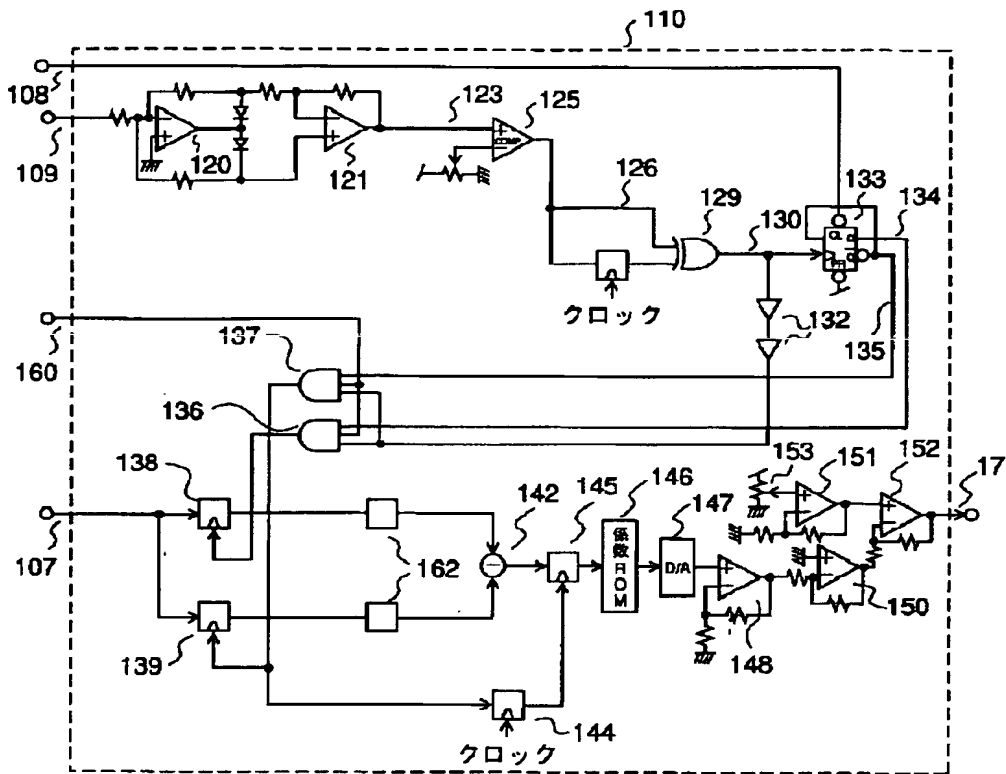
【図 1 1】



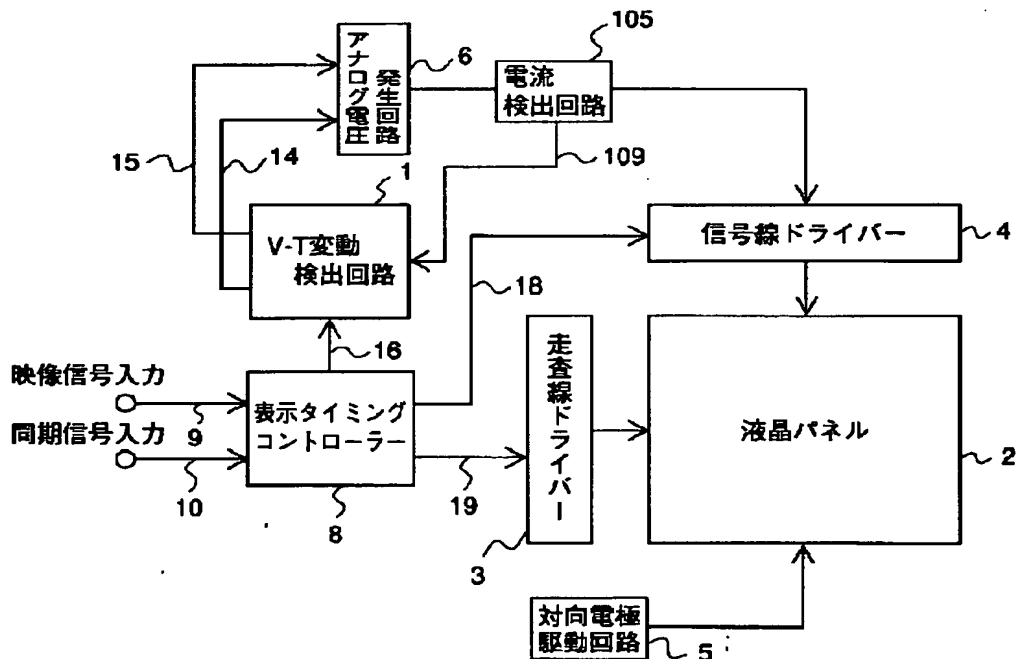
【図 12】



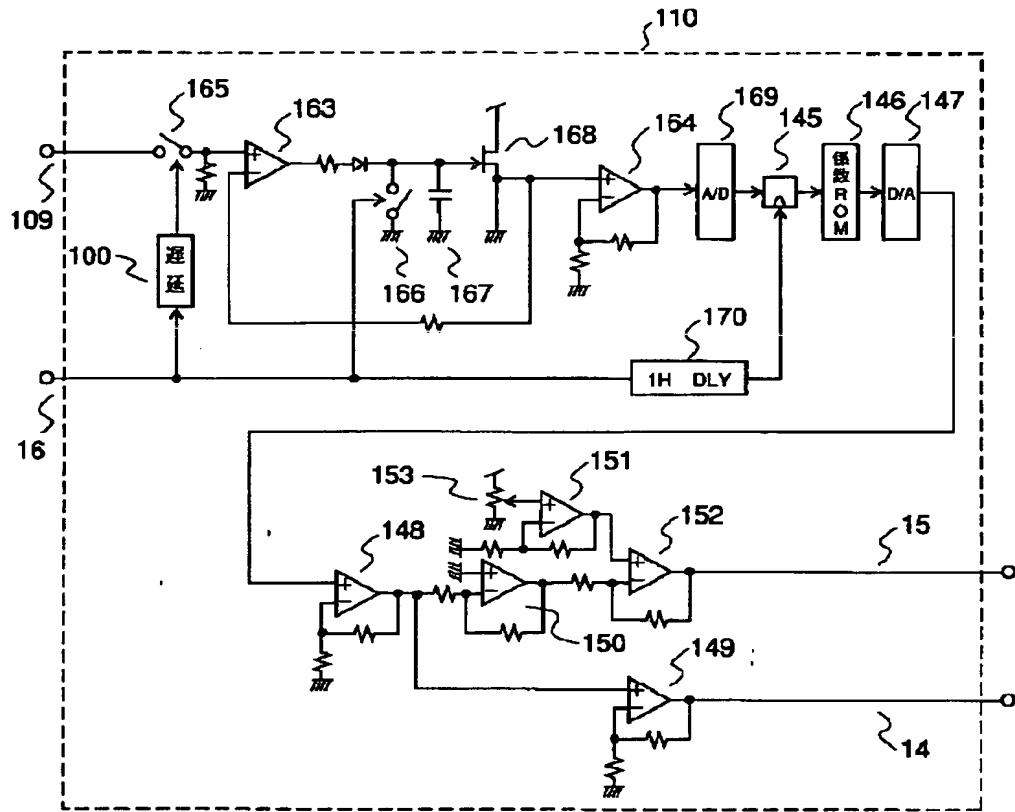
【図13】



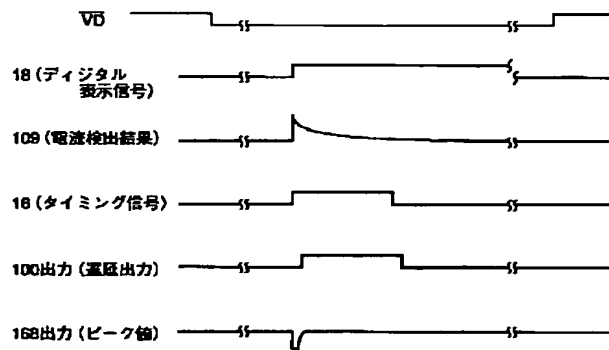
【図14】



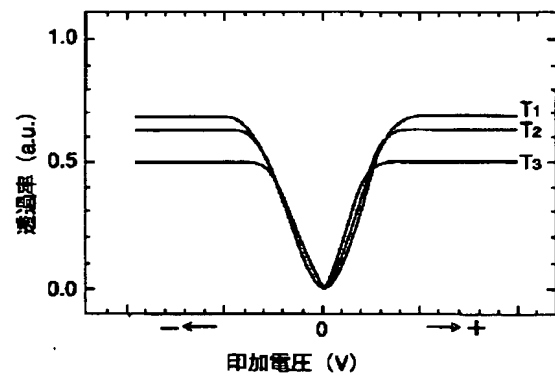
【図16】



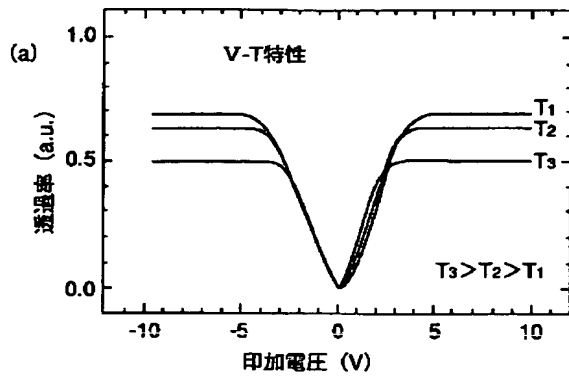
【図17】



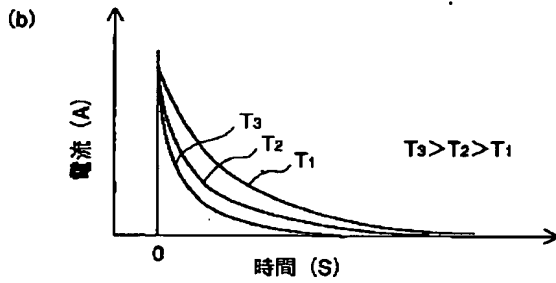
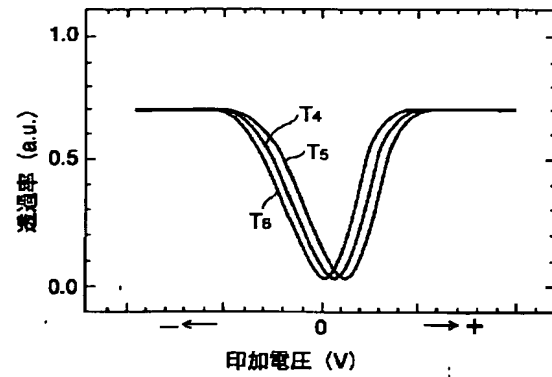
【図23】



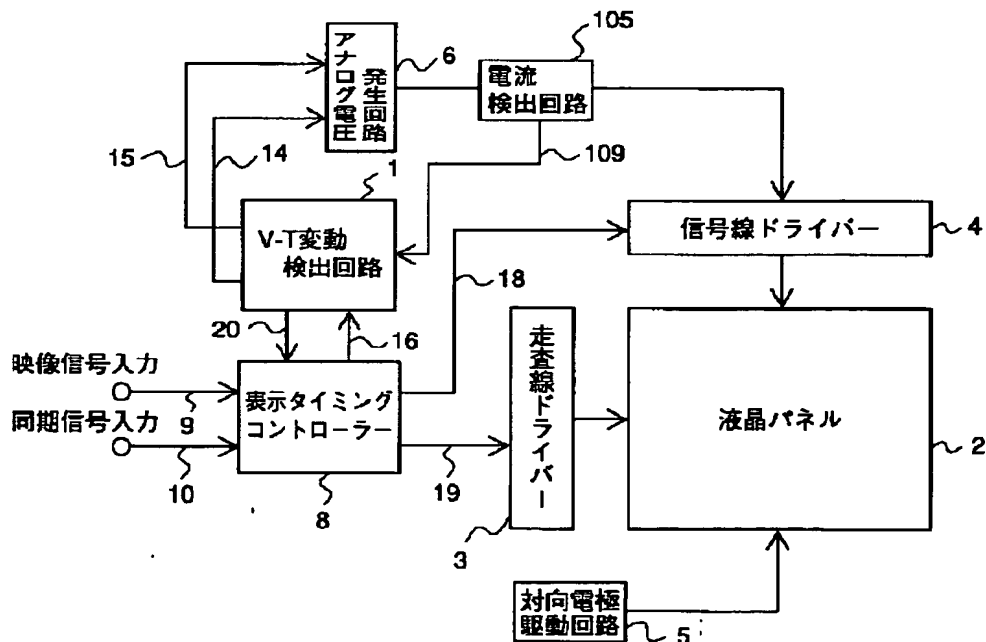
【図 18】



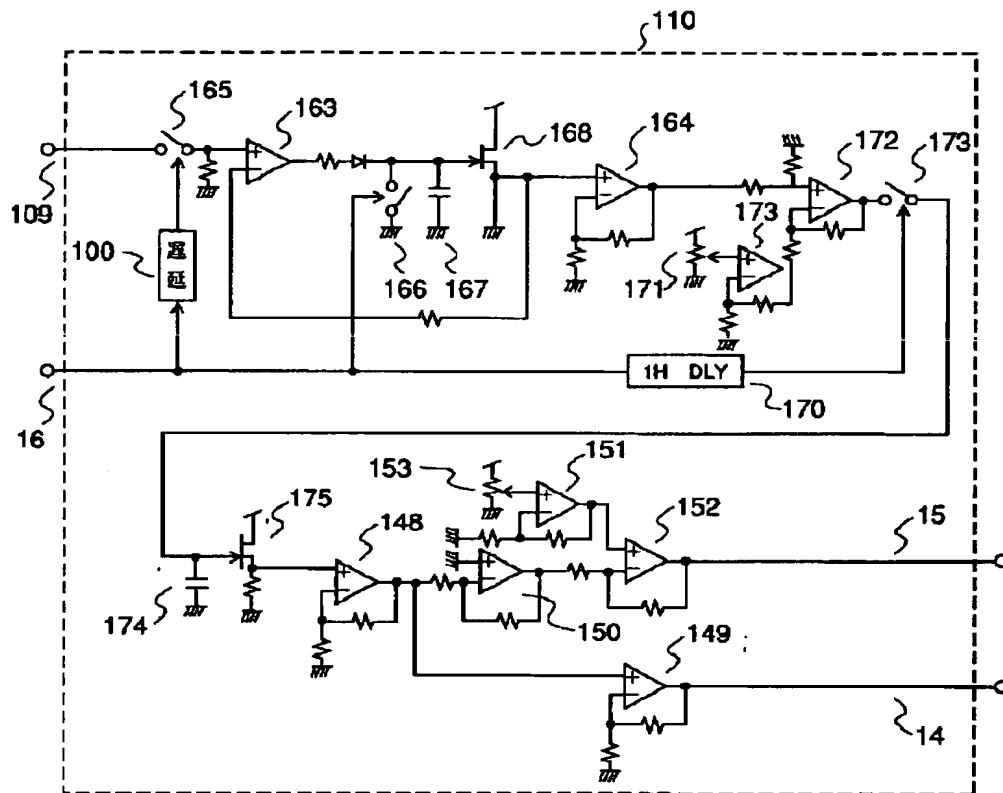
【図 24】



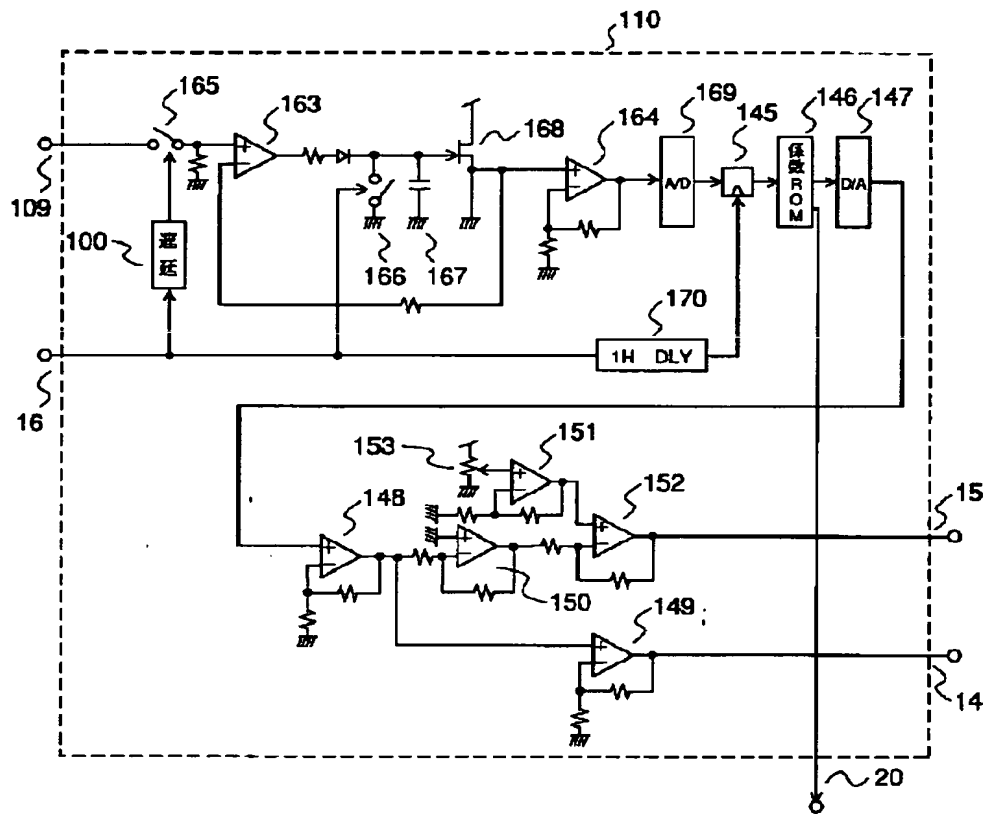
【図 20】



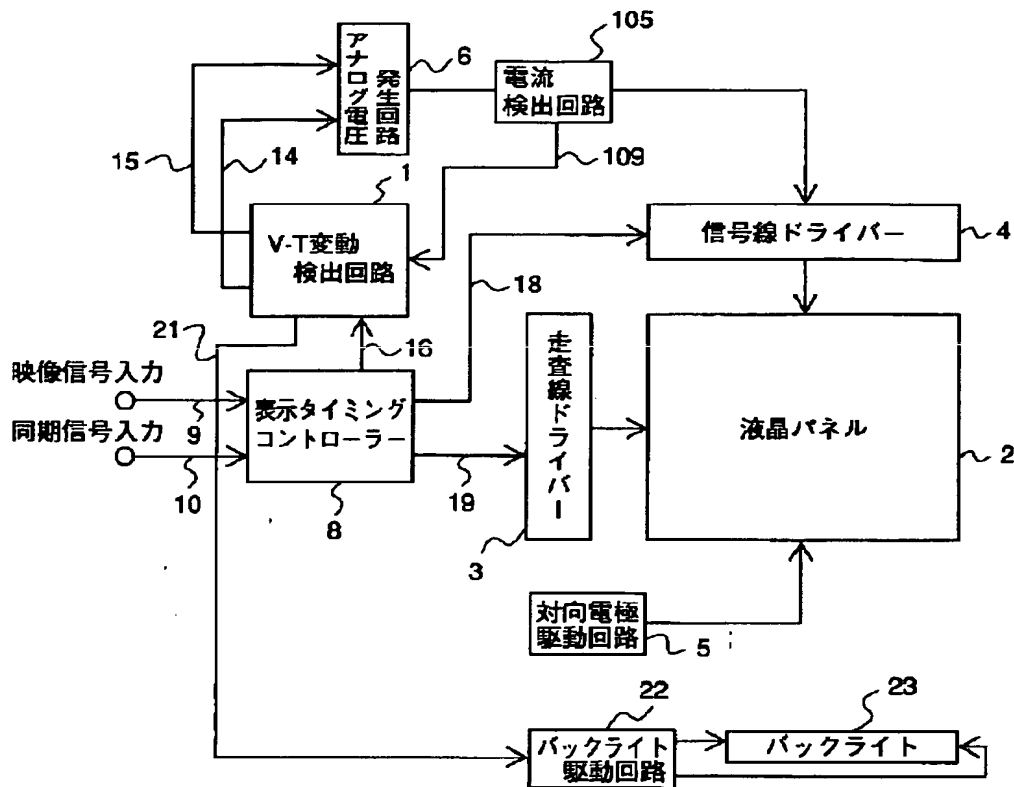
【図 19】



【図 21】



【図 22】



フロントページの続き

(72) 発明者 長田 洋之
 神奈川県横浜市磯子区新磯子町33番地 株
 式会社東芝生産技術研究所内

(72) 発明者 飯田 理恵子
 神奈川県横浜市磯子区新磯子町33番地 株
 式会社東芝生産技術研究所内

(72) 発明者 伊藤 剛
 神奈川県横浜市磯子区新磯子町33番地 株
 式会社東芝生産技術研究所内

F ターム (参考) 2H093 NC16 NC25 NC26 NC27 NC28
 NC58 NC59 NC65 ND04 ND33
 NF19 NF20

5C006 AA01 AA16 AF44 AF46 AF52
 AF61 AF73 AF81 AF82 BA12
 BA13 BB16 BB29 BC03 BC12
 BF04 BF06 BF07 BF08 BF11
 BF14 BF22 BF25 BF26 BF28
 BF38 EA01 FA18 FA54

5C080 AA10 BB05 DD03 DD20 EE28
 FF11 JJ02 JJ03 JJ04 JJ05